



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

T. TAMAGAWA

Group Art Unit: 2621

Application No.: 09/971,054

Examiner: Unknown

Filed: October 5, 2001

Attorney Dkt. No.: 103213-00041

For: IMAGE READING DEVICE

CLAIM FOR PRIORITY

**Commissioner for Patents
Washington, D.C. 20231**

December 19, 2001

Sir:

The benefit of the filing dates of the following prior foreign application in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2000-307020 filed on October 6, 2000

In support of this claim, certified copy of said original foreign application/s is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

**Charles M. Marmelstein
Registration No. 25,895**

**Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM:aam**

**MAILED
DEC 28 2001
Technology Center 2600**



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年10月 6日

出 願 番 号
Application Number:

特願2000-307020

出 願 人
Applicant(s):

ローム株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

MAILED

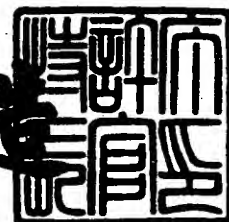
DEC 28 2001

Technology Center 2600

2001年10月26日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3094783

【書類名】 特許願
【整理番号】 PR900725
【提出日】 平成12年10月 6日
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 1/04
【発明の名称】 画像読み取り装置
【請求項の数】 1
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 玉川 俊光
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100085501
 【弁理士】
 【氏名又は名称】 佐野 静夫
【手数料の表示】
 【予納台帳番号】 024969
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9003241
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読み取り装置

【特許請求の範囲】

【請求項 1】 ICチップ上に一列に形成された複数の光電変換素子を有する画像読み取り装置であって、

両端の光電変換素子からチップ端までの間には、他の部分では配線が形成されないチップ端からの領域に配線が形成されていることを特徴とする画像読み取り装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ等のような光学情報を電気信号に変換する画像読み取り装置に関するものである。

【0002】

【従来の技術】

画像読み取り装置は、図 8 に示すように、それぞれ光電変換素子が形成された ICチップ K_1 、 K_2 、 \dots 、 K_m を不図示の印刷配線ボード上に一列に配置実装して成る。これらの各 ICチップ K_1 、 K_2 、 \dots 、 K_m から光電変換信号が順次出力され、A/D変換器 100 でデジタル信号に変換されて出力端子 200 から外部へ出力される。各チップ K_1 、 K_2 、 \dots 、 K_m としては同一構成の ICチップを用いていた。

【0003】

ところで、各 ICチップ内には、光電変換素子として複数のフォトダイオード PD_1 、 PD_2 、 \dots 、 PD_n が一列に形成されており、その模式的な上面図、断面図を図 9 の (イ)、(ロ) にそれぞれ示す。P 型のサブストレート 21 が各フォトダイオード PD_1 、 PD_2 、 \dots 、 PD_n のアノードとなる。N 型の領域 22 が各フォトダイオード PD_1 、 PD_2 、 \dots 、 PD_n のカソードとなる。絶縁膜 24 上には、N 型の領域 22 の位置に開口部 W を設けた上で、アルミニウム等の金属配線 25 が遮光膜として形成されている。

【0004】

尚、隣接する2つのフォトダイオード間の配線幅 W_1 は装置の分解能をいくらにするかによって決定される。また、各素子の特性を合わせるために同一のパターンを繰り返すようにしているので、両端の各フォトダイオード PD_1 、 PD_n のチップ端30側の配線幅 W_2 は、隣接する2つのフォトダイオード間の配線幅 W_1 の $1/2$ 程になっている。

【0005】

そして、従来は、スクライブ時にサブストレータ21と配線25との短絡を防ぐために、チップ端30からデザインルールで規定されたある一定の距離 W_3 の間には遮光膜としての配線25を含む全ての配線を形成しないようにしていた。

【0006】

【発明が解決しようとする課題】

したがって、従来は、分解能を高くすればするほど、両端の各フォトダイオード PD_1 、 PD_n のチップ端30側に形成される配線幅 W_2 が細くなるので、両端の各フォトダイオード PD_1 、 PD_n には、他のフォトダイオードよりも斜め上方から光が漏れ込みやすいとともに、チップ側面の方向からも光が漏れ込みやすかった。

【0007】

このように、両端のフォトダイオードと、他のフォトダイオードとで遮光条件が異なるので、たとえ全てのフォトダイオードに同じ光が入射されても、両端のフォトダイオードのカソード側の電圧が他のフォトダイオードのカソード側の電圧よりも大きく低下してしまい、信号レベルのばらつきが大きくなるという問題があった。

【0008】

そこで、本発明は、各光電変換素子の信号レベルのばらつきを低減させることができるようにした画像読み取り装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記の目的を達成するため、本発明では、ICチップ上に一列に形成された複

数の光電変換素子を有する画像読み取り装置であって、両端の光電変換素子からチップ端までの間には、他の部分では配線が形成されないチップ端からの領域に配線が形成されている。この構成により、両端の光電変換素子と他の光電変換素子との遮光条件がほぼ等しくすることができる。

【0010】

【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しながら説明する。本発明の第1実施形態である画像読み取り装置を構成する各ICチップの回路構成を図1を用いて説明する。

【0011】

光電変換素子であるフォトダイオード PD_1 、 PD_2 、 \dots 、 PD_n のアノードはグランドに接続されており、一方、カソードはそれぞれ増幅用のpチャネルのMOS型FET A_1 、 A_2 、 \dots 、 A_n のゲートに接続されている。トランジスタ A_1 、 A_2 、 \dots 、 A_n のソースにはそれぞれ定電流源 I_1 、 I_2 、 \dots 、 I_n から一定の電流が供給されている。トランジスタ A_1 、 A_2 、 \dots 、 A_n のドレインはグランドに接続されている。

【0012】

バイアス電圧供給回路2は正の直流電圧を安定して出力する。バイアス電圧供給回路2から出力される電圧（以下、「バイアス電圧」と称する）は、スイッチング用のpチャネルのMOS型FET B_1 、 B_2 、 \dots 、 B_n のドレイン-ソース間を介してそれぞれフォトダイオード PD_1 、 PD_2 、 \dots 、 PD_n のカソードに印加される。

【0013】

以上の構成において、トランジスタ B_x ($x=1, 2, \dots, n$) が所定時間以上にわたってONすると、フォトダイオード PD_x には逆方向にバイアス電圧が印加され、所定量の電荷が蓄積される。尚、以下において、このことを「フォトダイオード PD_x が初期化される」と称する。

【0014】

また、トランジスタ B_x がONからOFFに切り換わると、フォトダイオード

PD_x の初期化が解除され、蓄積された電荷が入射光に応じて放電することにより電流が流れるので、フォトダイオード PD_x は入射光に応じた電圧を示すことになる。

【0015】

また、トランジスタ C_x がONすることにより、フォトダイオード PD_x のカソード側の電圧信号（以下、単に、「フォトダイオード PD_x の信号」と称する）が、トランジスタ A_x で構成されたソースフォロワ回路により増幅された後、出力回路51により更なる増幅や波形整形などの処理がなされて端子 T_{OUT} から外部へ出力される（以下、このことを、「フォトダイオード PD_x の信号が読み出される」と称する）。

【0016】

制御回路52は、フォトダイオード PD_1 、 PD_2 、…、 PD_n の信号が順次出力されるように、トランジスタ C_x を制御するとともに、フォトダイオード PD_x の信号が読み出される毎に、フォトダイオード PD_x が一旦初期化されるように、トランジスタ B_x を制御する。

【0017】

本発明の第2実施形態である画像読み取り装置を構成する各ICチップの回路構成を図2を用いて説明する。光電変換素子であるフォトダイオード PD_1 、…、 PD_n 、 PD_1' 、…、 PD_n' のアノードはグランドに接続されており、一方、それらのカソードはそれぞれ増幅用のpチャネルのMOS型FET A_1 、…、 A_n 、 A_1' 、…、 A_n' のゲートに接続されている。

【0018】

尚、フォトダイオード PD_1' 、…、 PD_n' は受光面が遮光されており、画像の読み取りには関与しないものであり、以下の説明において適宜「ダミーのフォトダイオード」と称する。これに対して、フォトダイオード PD_1 、…、 PD_n は受光面が遮光されておらず、画像を読み取るためのものであり、以下の説明において適宜「読み取り用のフォトダイオード」と称する。

【0019】

トランジスタ A_1 、…、 A_n 、 A_1' 、…、 A_n' のソースにはそれぞれpチャネ

ルのMOS型FET $D_1, \dots, D_n, D_1', \dots, D_n'$ のドレイン-ソース間を介して電源電圧に接続されている。尚、トランジスタ $D_1, \dots, D_n, D_1', \dots, D_n'$ のゲートはグランドに接続されており、トランジスタ $A_1, \dots, A_n, A_1', \dots, A_n'$ のソースには一定の電流が供給される。

【0020】

トランジスタ $A_1, \dots, A_n, A_1', \dots, A_n'$ のドレインはそれぞれ n チャンネルのMOS型FET $E_1, \dots, E_n, E_1', \dots, E_n'$ のドレイン-ソース間を介してグランドに接続されている。尚、最初の読み取り用のフォトダイオード PD_1 の信号を読み出す直前から最後のフォトダイオード PD_n の信号の読み出しを完了するまでの間のみ、トランジスタ $E_1, \dots, E_n, E_1', \dots, E_n'$ がONするように、ロジック回路1によって制御することによって、消費電力を低減させている。

【0021】

バイアス電圧（バイアス電圧供給回路2から出力される安定した直流電圧）は、スイッチング用の p チャンネルのMOS型FET $B_1, \dots, B_n, B_1', \dots, B_n'$ のドレイン-ソース間を介してそれぞれフォトダイオード $PD_1, \dots, PD_n, PD_1', \dots, PD_n'$ のカソードに印加される。トランジスタ $B_1, \dots, B_n, B_1', \dots, B_n'$ のゲートにはそれぞれシフトレジスタ3の端子 $M_1, \dots, M_n, M_1', \dots, M_n'$ から出力される信号が与えられている。

【0022】

トランジスタ A_1, A_2, \dots, A_n のソースはそれぞれスイッチング用の p チャンネルのMOS型FET C_1, C_2, \dots, C_n のドレイン-ソース間を介して n チャンネルのMOS型FET 4-1のゲートに共通に接続されている。トランジスタ A_1', A_2', \dots, A_n' のソースはそれぞれスイッチング用の p チャンネルのMOS型FET C_1', C_2', \dots, C_n' のドレイン-ソース間を介して n チャンネルのMOS型FET 4-2のゲートに共通に接続されている。

【0023】

トランジスタ $C_1, \dots, C_n, C_1', \dots, C_n'$ のゲートにはそれぞれシフトレジスタ3の端子 $O_1, \dots, O_n, O_1', \dots, O_n'$ から出力される信号が与えられ

ている。トランジスタ4-1、4-2のソースはそれぞれ定電流源5-1、5-2を介してグランドに接続されている。トランジスタ4-1、4-2のドレインは電源電圧に接続されている。

【0024】

バッファアンプ6-1及び6-2は演算増幅器の出力を反転入力端子(-)に帰還した構成であり、バッファアンプ6-1、6-2の入力側(演算増幅器の非反転入力端子(+))はそれぞれトランジスタ4-1、4-2のソースに接続されている。

【0025】

すなわち、読み取り用のフォトダイオード PD_x ($x=1, 2, \dots, n$)の信号はそれぞれトランジスタ A_x を用いて構成されたソースフォロワ回路及びトランジスタ4-1を用いて構成されたソースフォロワ回路を介してバッファアンプ6-1に入力されている。また、ダミーのフォトダイオード PD_x' の信号はトランジスタ A_x' を用いて構成されたソースフォロワ回路及びトランジスタ4-2を用いて構成されたソースフォロワ回路を介してバッファアンプ6-2に入力されている。

【0026】

バッファアンプ6-1の出力側(演算増幅器の出力端子)は抵抗 R_1 を介して演算増幅器7の反転入力端子(-)に、バッファアンプ6-2の出力側は抵抗 R_2 を介して演算増幅器7の非反転入力端子(+)に、それぞれ接続されている。

【0027】

演算増幅器7の非反転入力端子(+)には、ICチップの端子 T_{REF} に外部から入力される直流の基準電圧が抵抗 R_3 を介して印加されている。演算増幅器7の出力端子は、抵抗 R_4 を介して演算増幅器7の反転入力端子(-)に接続されるとともに、演算増幅器8の非反転入力端子(+)に接続されている。

【0028】

演算増幅器8の反転入力端子(-)には、抵抗 R_5 を介して演算増幅器8の出力端子が接続されているとともに、端子 T_{REF} に外部から入力される基準電圧が抵抗 R_6 を介して印加されている。

【 0 0 2 9 】

バッファアンプ 9 は演算増幅器の出力を反転入力端子 (-) に帰還した構成であり、バッファアンプ 9 の入力側には、コンデンサ 1 0 を介して演算増幅器 8 の出力端子が接続されるとともに、外部から基準電圧を入力するための端子 T_{REF} とグランドとの間に直列に接続された抵抗 R_7 、 R_8 同士の接続点にスイッチ 1 1 を介して接続されている。

【 0 0 3 0 】

尚、スイッチ 1 1 は、例えば、アナログスイッチで構成されており、最初の読み取り用のフォトダイオード PD_1 の信号を読み出す前に所定の期間だけ ON するように、ロジック回路 1 によって制御される。

【 0 0 3 1 】

バッファアンプ 9 の出力はスイッチ 1 2 を介して IC チップの端子 T_{OUT} から外部に出力される。尚、スイッチ 1 2 は、例えばアナログスイッチで構成されており、最初の読み取り用のフォトダイオード PD_1 の信号を読み出す直前から最後のフォトダイオード PD_n の信号の読み出しを完了するまでの間のみ ON するように、ロジック回路 1 によって制御される。

【 0 0 3 2 】

ロジック回路 1 は、IC チップの端子 T_{CLK} に外部から入力されるクロック信号 CLK、及び、IC チップの端子 T_{SI} に外部から入力されるスタートトリガ信号 ST とを入力している。尚、各 IC チップに入力されるクロック信号 CLK は共通である。そして、ロジック回路 1 は、入力するクロック信号 CLK とスタートトリガ信号 ST とに基づいて、トランジスタ E_x 、並びに、スイッチ 1 1 及び 1 2 を前述したように制御する。

【 0 0 3 3 】

IC チップの端子 T_{SI} に入力されるスタートトリガ信号 ST、及び、IC チップの端子 T_{CLK} に入力されるクロック信号 CLK は、ロジック回路 1 を通して、シフトレジスタ 3 にも入力されている。シフトレジスタ 3 は、図 3 に示すように、スタートトリガ信号 ST の立ち上がり後、クロック信号 CLK の 2 回目以降の立ち下がリエッジに同期して、クロック信号 CLK の 1 周期に等しいパルス幅を

もつ負のパルス端子 O_1 、 O_2 、…、 O_n から順次出力する。尚、シフトレジスタ3の端子 O_1' 、 O_2' 、…、 O_n' からはそれぞれ端子 O_1 、 O_2 、…、 O_n から出力される信号と同じ信号が出力される。

【0034】

これにより、時刻 $t_3 \sim t_5$ の間にトランジスタ C_1 及び C_1' がONし、時刻 $t_5 \sim t_7$ の間にトランジスタ C_2 及び C_2' がONし、…というように、トランジスタ C_1 及び C_1' 、トランジスタ C_2 及び C_2' 、…、トランジスタ C_n 及び C_n' が順次クロック信号CLKの1周期だけONとなって、読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n の信号が順次トランジスタ4-1のゲートに導かれるとともに、ダミーのフォトダイオード PD_1' 、 PD_2' 、…、 PD_n' の信号が順次トランジスタ4-2のゲートに導かれる。

【0035】

また、シフトレジスタ3は、図3に示すように、スタートトリガ信号STの立ち上がり後のクロック信号CLKの3回目以降の立ち上がりエッジに同期して、クロック信号CLKの1周期に等しいパルス幅をもつ負のパルス端子 M_1 、 M_2 、…、 M_n から順次出力する。

【0036】

これにより、時刻 $t_4 \sim t_6$ の間にトランジスタ B_1 がONし、時刻 $t_6 \sim t_8$ の間にトランジスタ B_2 がONし、…というように、トランジスタ B_1 、 B_2 、…、 B_n が順次クロック信号CLKの1周期だけONとなって、フォトダイオード PD_1 、 PD_2 、…、 PD_n が順次初期化される。

【0037】

このため、例えば最初の読み取り用のフォトダイオード PD_1 について見ると、トランジスタ C_1 が時刻 $t_2 \sim t_4$ の間にONして信号が読み出されるが、時刻 $t_3 \sim t_4$ の間（すなわち、読み出し期間の後半）にはトランジスタ B_1 もONして初期化されるので、時刻 $t_2 \sim t_3$ の間（すなわち、読み出し期間の前半）に読み出された信号のみが有効となる。同様に、他の読み取り用のフォトダイオード PD_2 、 PD_3 、…、 PD_n についても、読み出し期間の前半に読み出された信号のみが有効となる。

【 0 0 3 8 】

また、シフトレジスタ 3 は、図 3 に示すように、スタートトリガ信号 ST の立ち上がり後のクロック信号 CLK の立ち下がりエッジに同期して、クロック信号 CLK の 1 周期に等しいパルス幅をもつ負のパルスを端子 M_1' 、 M_2' 、…、 M_n' から順次出力する。

【 0 0 3 9 】

これにより、時刻 $t_1 \sim t_3$ の間にトランジスタ B_1' が ON し、時刻 $t_3 \sim t_5$ の間にトランジスタ B_2' が ON し、…というように、トランジスタ B_1' 、 B_2' 、…、 B_n' が順次クロック信号 CLK の 1 周期だけ ON となって、ダミーのフォトダイオード PD_1' 、 PD_2' 、…、 PD_n' が順次初期化される。

【 0 0 4 0 】

また、シフトレジスタ 3 の端子 E から出力される信号は、IC チップの端子 T_{S0} から外部に出力され、次の IC チップの端子 T_{S1} に入力される、すなわち、次の IC チップにてスタートトリガ信号 ST として用いられる。このため、シフトレジスタ 3 は、本 IC チップの最後の読み取り用のフォトダイオード PD_n の信号の読み出しと次の IC チップの最初の読み取り用のフォトダイオードの信号の読み出しとが干渉しないように、適切なタイミングで端子 E から正のパルスを 1 つ出力する。

【 0 0 4 1 】

以上の構成により、読み取り用のフォトダイオード PD_x の信号と、対応するダミーのフォトダイオード PD_x' の信号との差分が出力されるので、IC チップ内及び各 IC チップ間でフォトダイオードの信号レベルに製造ばらつきがあったとしても、このばらつきは打ち消し合わされ、読み出される信号レベルが第 1 実施形態の回路に比べてより均一なものとなる。

【 0 0 4 2 】

上記各実施形態の画像読み取り装置を構成する各 IC チップの読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n に係わる部分の上面図、断面図を図 4 の (イ)、(ロ) にそれぞれ示す。各フォトダイオード PD_1 、 PD_2 、…、 PD_n のカソードとなる N 型の領域 2 2 の周囲に形成された P^+ 型のコンタクト領域 2

3を介して、各フォトダイオード PD_1 、 PD_2 、…、 PD_n のアノードとなるP型のサブストレート21をグラウンドに接続するためのアルミニウム等の金属配線25が絶縁膜24上に形成されている。配線25には、N型の領域22に光を入射させるための開口部Wが設けられている。

【0043】

そして、両端の各フォトダイオード PD_1 、 PD_n のチップ端30側には、その端面がチップ端30と一致する配線26が配線25と一体的に形成されている。すなわち、両端の各フォトダイオード PD_1 、 PD_n のチップ端30側には、チップ端30にまで配線が形成されている。

【0044】

これにより、読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n に関して、両端の各フォトダイオード PD_1 、 PD_n とチップ端30との間が配線26で遮光されることになる。よって、両端のフォトダイオード PD_1 、 PD_n への斜め上方からの光の漏れ込みが少なくなるとともに、横方向から入射した光が両端のフォトダイオード PD_1 、 PD_n に到達しにくくなり、両端のフォトダイオードと他のフォトダイオードとの遮光条件がほぼ等しくなるので、信号レベルのばらつきを低減させることができるようになる。

【0045】

尚、図4では、上述したように、配線25と配線26とを一体的に形成するとともに、配線26をチップ端30にまで引き延ばして形成している。このようにすると、スクライブ時にサブストレート21と配線25とが短絡する可能性があるが、図4では、サブストレート21と配線25とが同電位であるので、問題はない。

【0046】

これに対して、サブストレート21と配線25とが異なる電位である場合には、図5に示すように、両端の各フォトダイオード PD_1 、 PD_n のチップ端30側に形成されている配線幅に比して十分に小さい隙間Gを配線25と配線26との間に設けた上で、配線26をチップ端30にまで形成してもよいし、あるいは、図6に示すように、配線26をチップ端30にまでは形成しないが、デザインル

ールの規定により他の配線が形成されない、チップ端から距離 W_3 までの領域にも形成するようにした上で、配線25と配線26とを一体的に形成してもよい。

【0047】

尚、配線26は、チップ端30に沿って両端の各フォトダイオード PD_1 、 PD_n の近傍にだけ形成しておいてもよいし、あるいは、チップ端30の全域に沿って形成しておいてもよい。また、サブストレータ21と配線25とが同電位である場合であっても、図5や図6に示したように配線26を形成してもよい。

【0048】

また、ダミーのフォトダイオード PD'_1 、 PD'_2 、…、 PD'_n についても、読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n と同様に、両端の各フォトダイオードとチップ端との間が遮光されるようにしておけば、両端のフォトダイオードと他のフォトダイオードとの遮光条件がほぼ等しくなるので、信号レベルのばらつきをより一層低減させることができるようになる。

【0049】

その他には、図4に示すように、各読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n のアノードとなるP型のサブストレータ21と配線25とのコンタクトホールHを、読み取り用のフォトダイオード PD_1 、 PD_2 、…、 PD_n を囲むように一列に所定の間隔を設けて絶縁膜24に形成しておけば、各読み取り用のフォトダイオードに自身の開口部以外の開口部から入射してくる光がコンタクトホールHに入り込んだ配線材によって遮られるので、各読み取り用のフォトダイオードの遮光条件がより等しくなり、信号レベルのばらつきをより一層低減させることができるようになる。

【0050】

また、図7に示すように、各列の隣接する2つのコンタクトホール間に他の列のコンタクトホールが存在するように、コンタクトホールを2列以上（図7では2列）に形成しておけば、各フォトダイオードに自身の開口部以外の開口部から入射してくる光がより確実に遮られるようになるので、より一層効果的である。

【0051】

また、各ダミーのフォトダイオードのアノードと配線とのコンタクトホールに

ついても、上述したように形成しておけば、各ダミーのフォトダイオードの遮光条件がより等しくなり、信号レベルのばらつきをより一層低減させることができるようになる。

【0052】

尚、本発明は、上記実施形態に限定されるものではない。例えば、ダミーのフォトダイオードについては、設けなくてもよいし、また、設けるとしても、各読み取り用のフォトダイオードに対して共通に1つだけ設け、各読み取り用のフォトダイオードの信号と、ダミーのフォトダイオードの信号との差分をとって出力するようにしてもよい。このようにすれば、構成が簡略化されるので、小型化及び低廉化が促進される。

【0053】

但し、読み取り用のフォトダイオードと同じ個数だけダミーのフォトダイオードを設けることにより、各読み取り用のフォトダイオード毎にダミーのフォトダイオードを近接させて配置することができるようになり、各読み取り用のフォトダイオードの信号と、近接するダミーのフォトダイオードの信号との差分をとって出力することにより、素子の特性のばらつきに起因した、同じICチップ内における信号レベルのばらつきを低減させることができる。

【0054】

【発明の効果】

以上説明したように、本発明によれば、画像読み取り装置を構成する各チップに一系列に形成された複数の光電変換素子について、両端の光電変換素子と他の光電変換素子との遮光条件がほぼ等しくなるので、各光電変換素子の信号レベルのばらつきを低減させることができるようになる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態である画像読み取り装置を構成する各ICチップの回路構成を示す図である。

【図2】 本発明の第2実施形態である画像読み取り装置を構成する各ICチップの回路構成を示す図である。

【図3】 本発明の第2実施形態である画像読み取り装置を構成する各ICチ

ップにおける各部の信号のタイミングチャートである。

【図 4】 本発明の第 1 及び第 2 実施形態である画像読み取り装置を構成する各 IC チップの構造を示す図である。

【図 5】 本発明の第 1 及び第 2 実施形態である画像読み取り装置を構成する各 IC チップの別の構造を示す図である。

【図 6】 本発明の第 1 及び第 2 実施形態である画像読み取り装置を構成する各 IC チップのさらに別の構造を示す図である。

【図 7】 本発明の第 1 及び第 2 実施形態である画像読み取り装置を構成する各 IC チップのさらに別の構造を示す図である。

【図 8】 画像読み取り装置の概略構成を示す図である。

【図 9】 画像読み取り装置を構成する各 IC チップの従来の構造を示す図である。

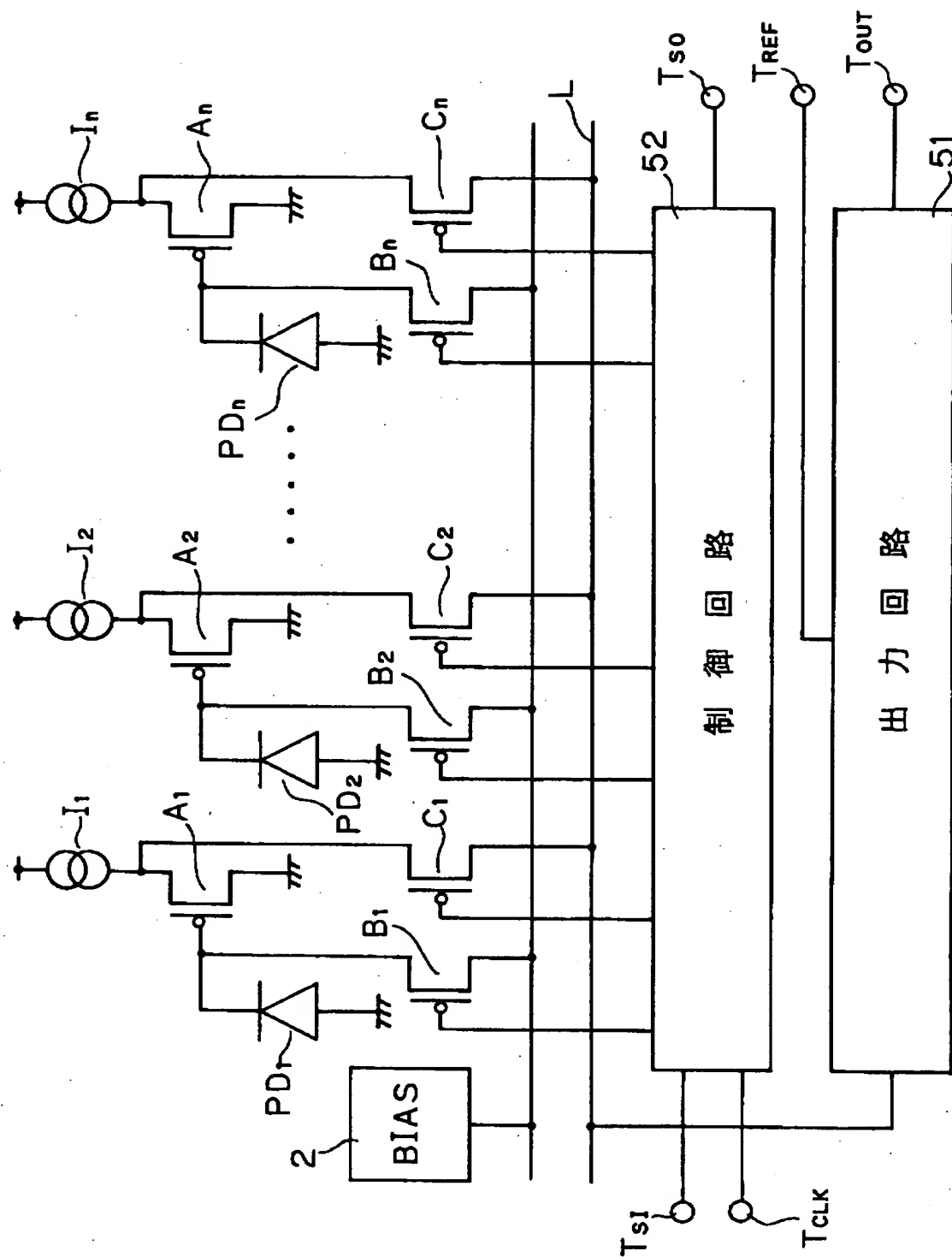
【符号の説明】

- 1 ロジック回路
- 2 バイアス電圧供給回路
- 3 シフトレジスタ
- 4-1、4-2 n チャンネルの MOS 型 FET
- 5-1、5-2 定電流源
- 6-1、6-2 バッファアンプ
- 7、8 演算増幅器
- 9 バッファアンプ
- 10 コンデンサ
- 11、12 スイッチ
- 21 P 型のサブストレート
- 22 N 型の領域
- 23 P^+ のコンタクト領域
- 24 絶縁膜
- 25、26 配線（遮光膜）
- 30 チップ端

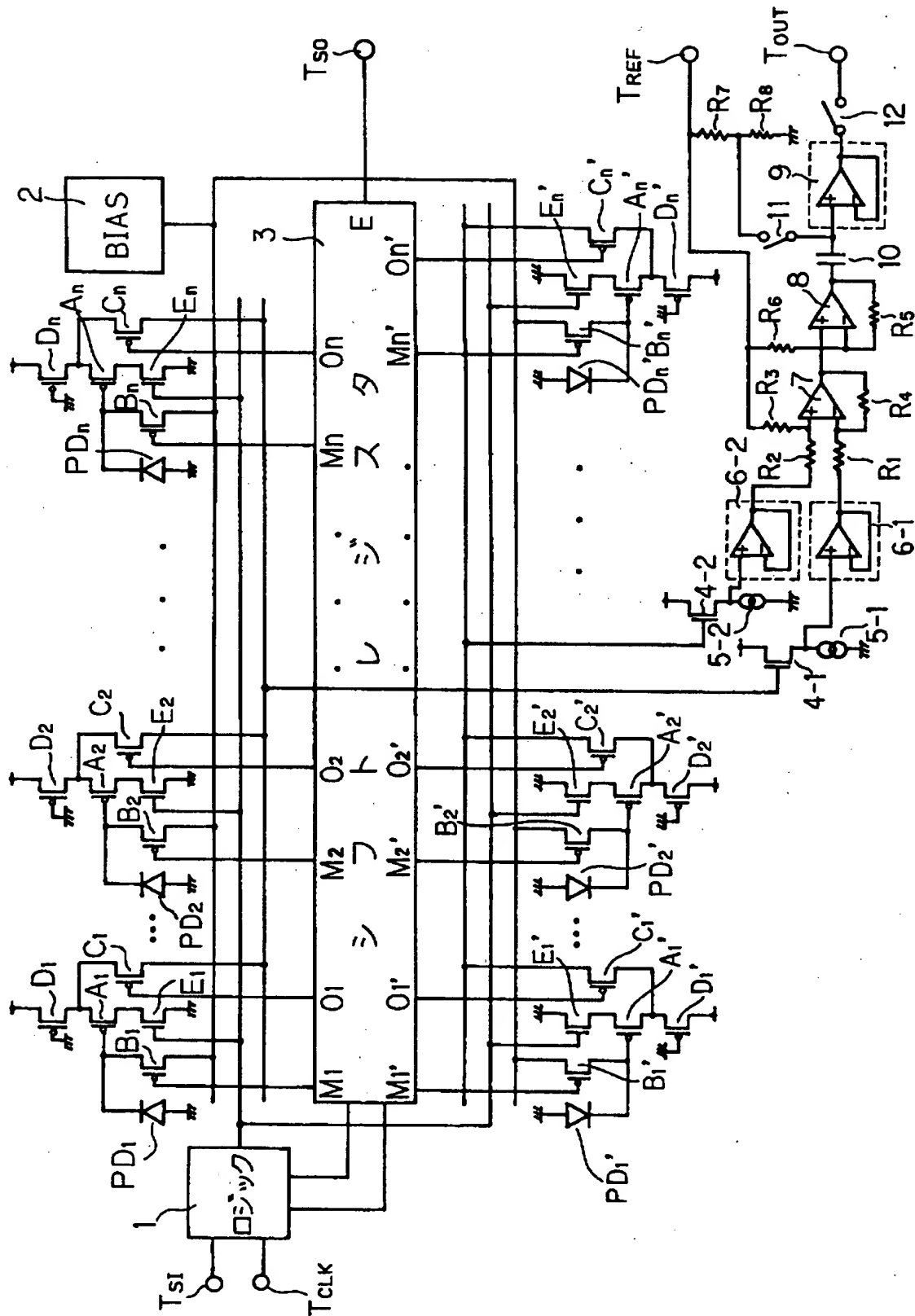
$A_1, \dots, A_n, A_1', \dots, A_n'$	pチャネルのMOS型FET
$B_1, \dots, B_n, B_1', \dots, B_n'$	pチャネルのMOS型FET
$C_1, \dots, C_n, C_1', \dots, C_n'$	pチャネルのMOS型FET
$D_1, \dots, D_n, D_1', \dots, D_n'$	pチャネルのMOS型FET
$E_1, \dots, E_n, E_1', \dots, E_n'$	nチャネルのMOS型FET
PD_1, \dots, PD_n	読み取り用のフォトダイオード
PD_1', \dots, PD_n'	ダミーのフォトダイオード
$R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8$	抵抗
G	隙間
H	コンタクトホール
W	開口部

【書類名】 図面

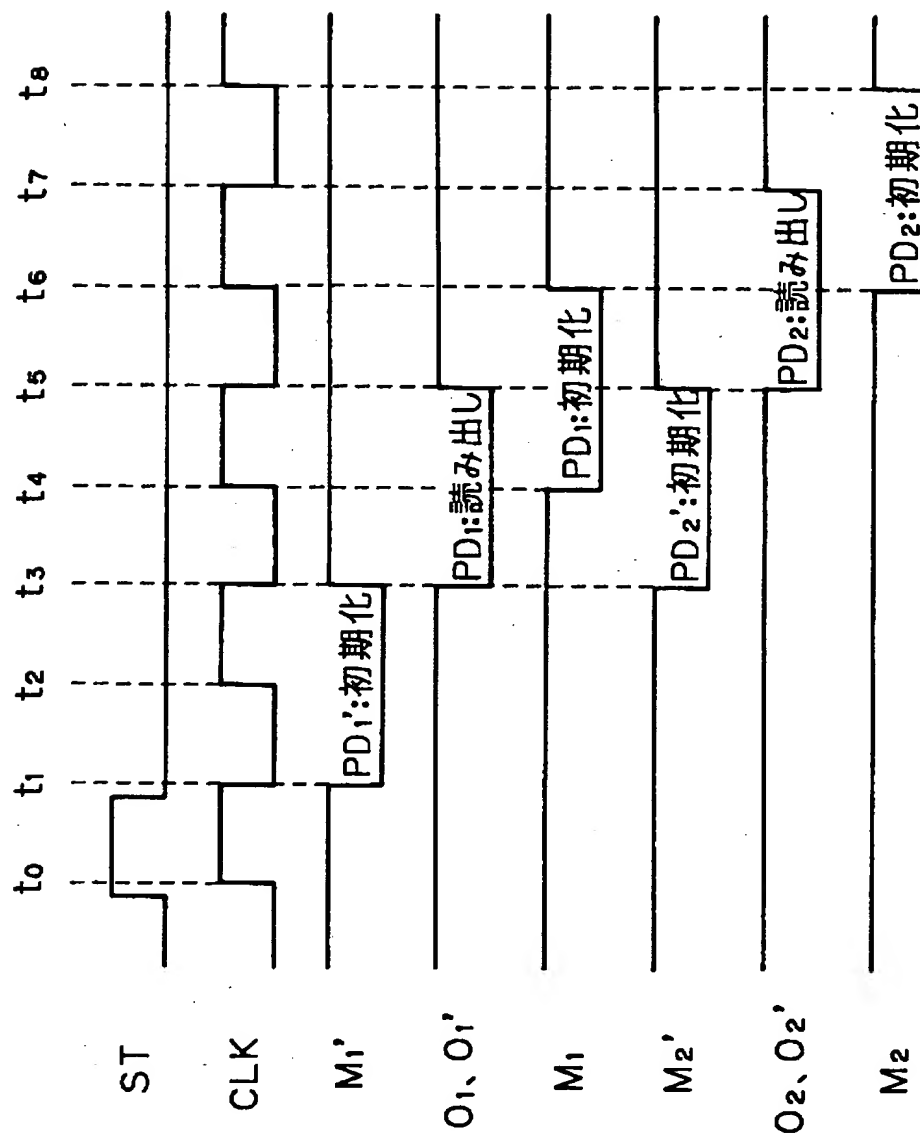
【図 1】



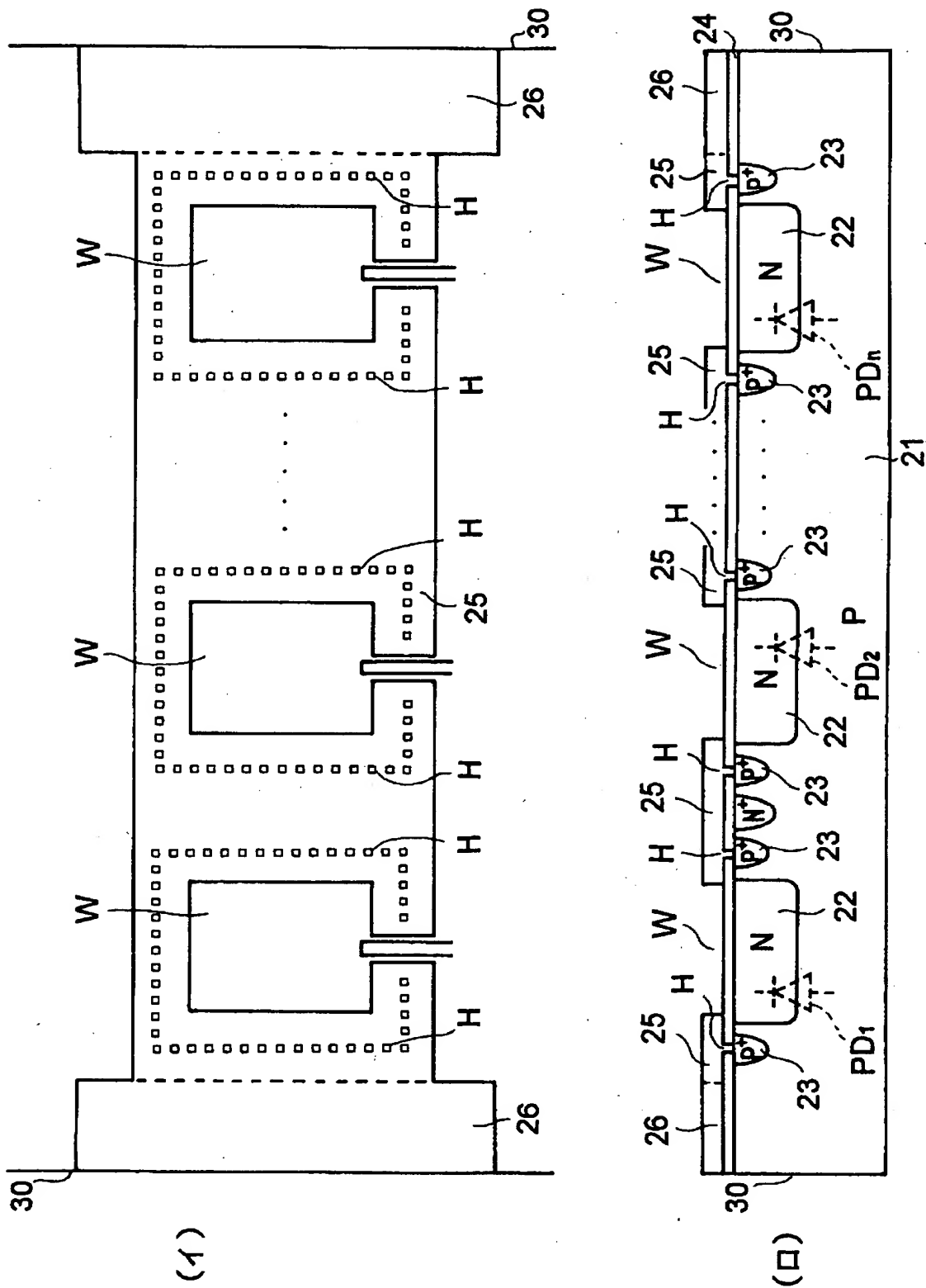
【図 2】



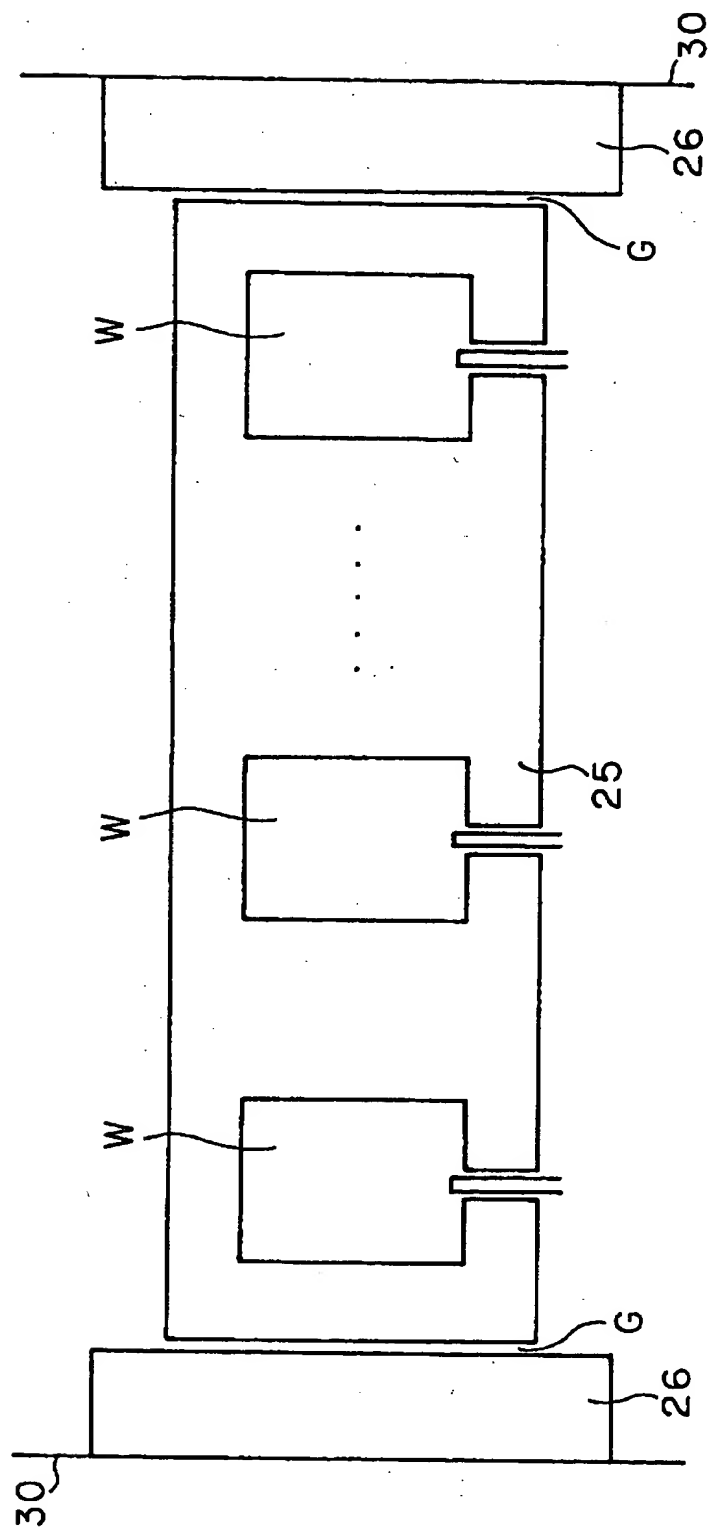
【図 3】



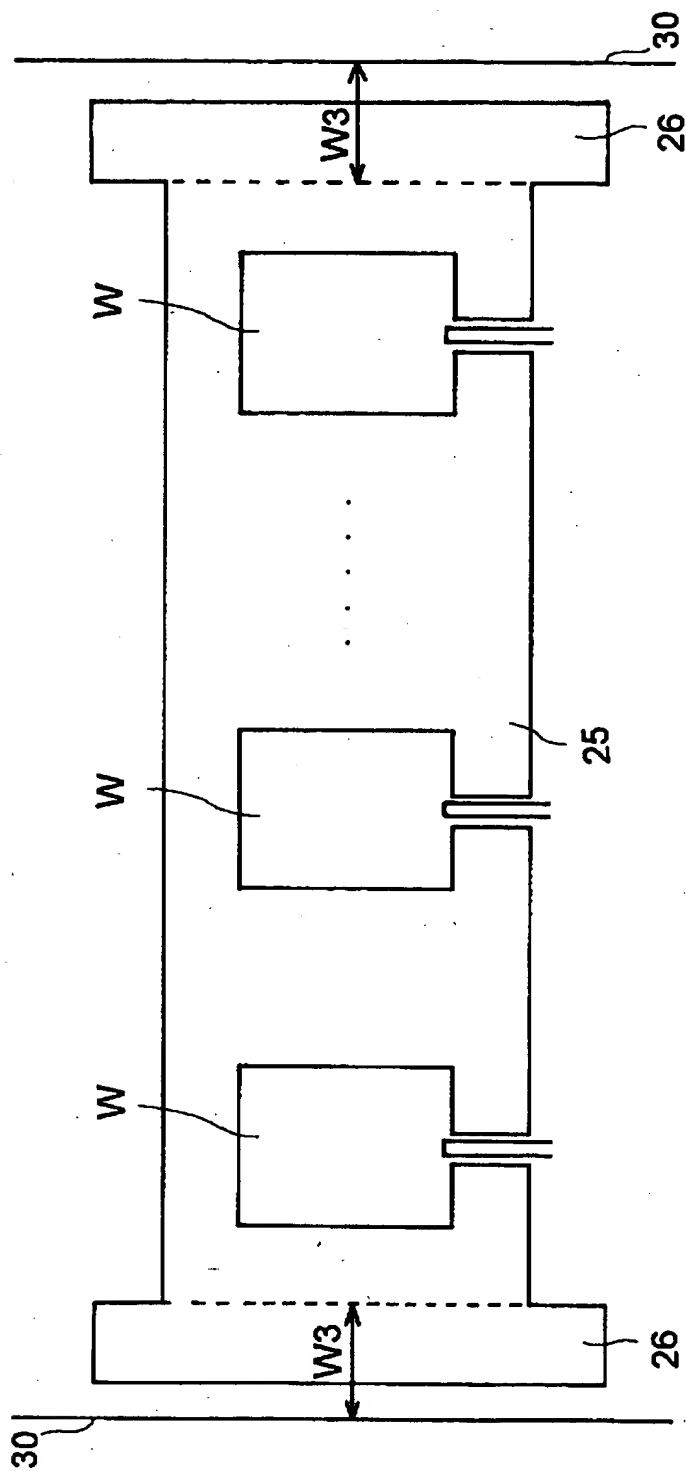
【図 4】



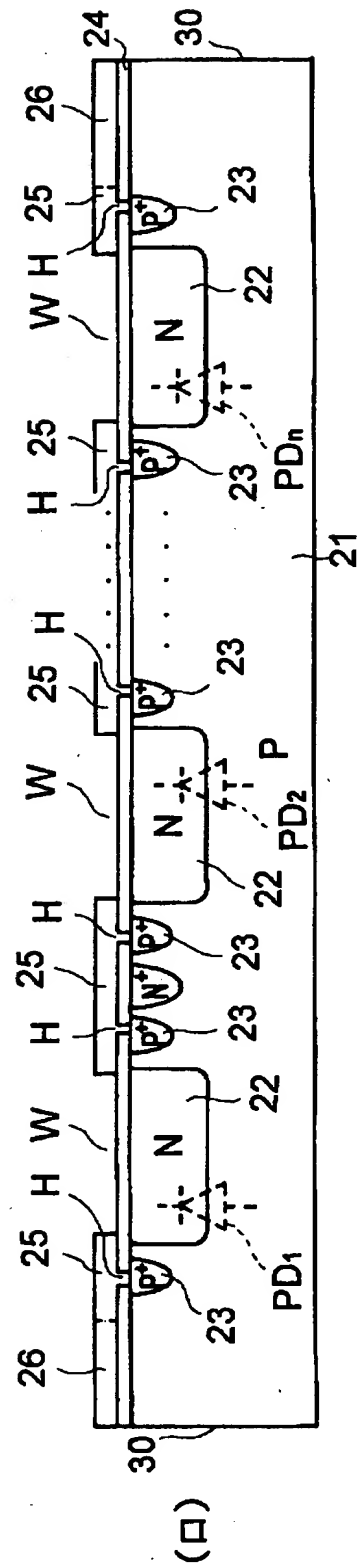
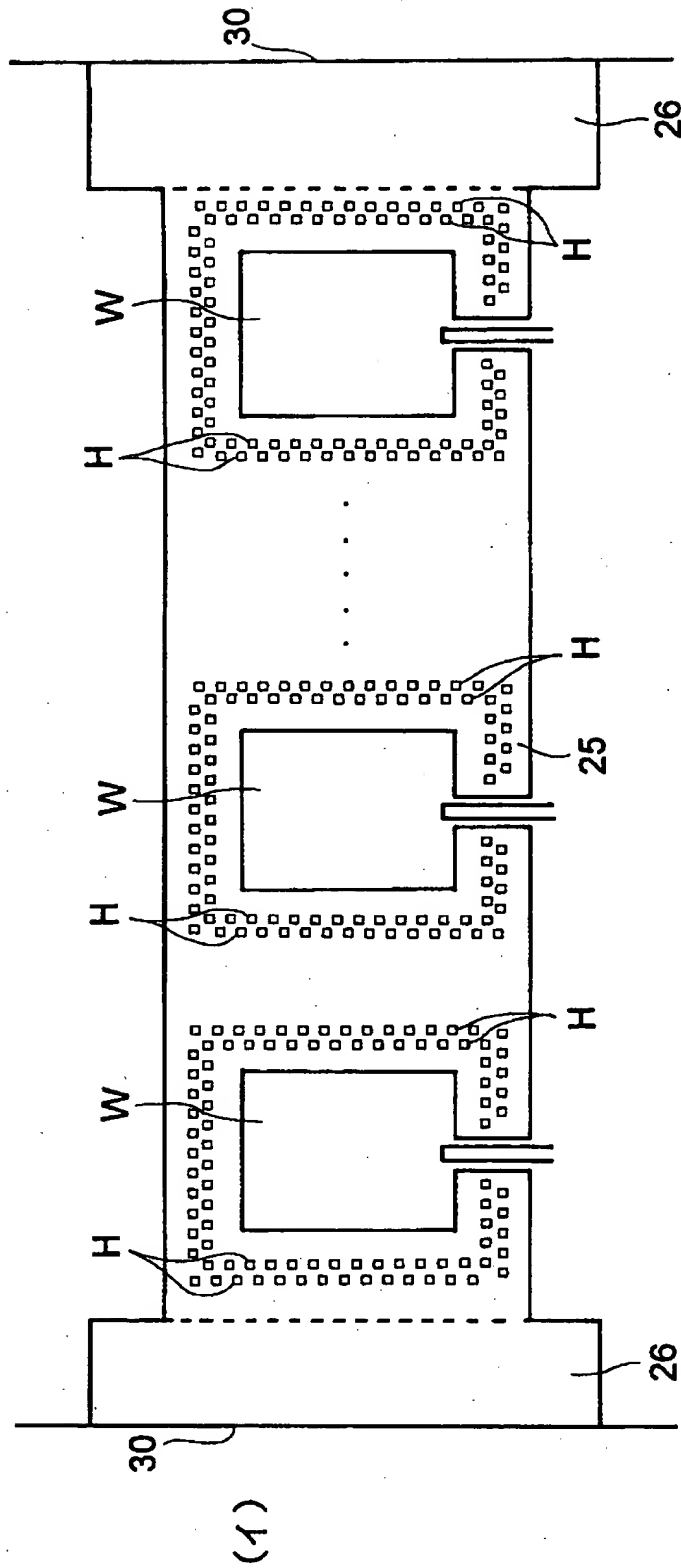
【図 5】



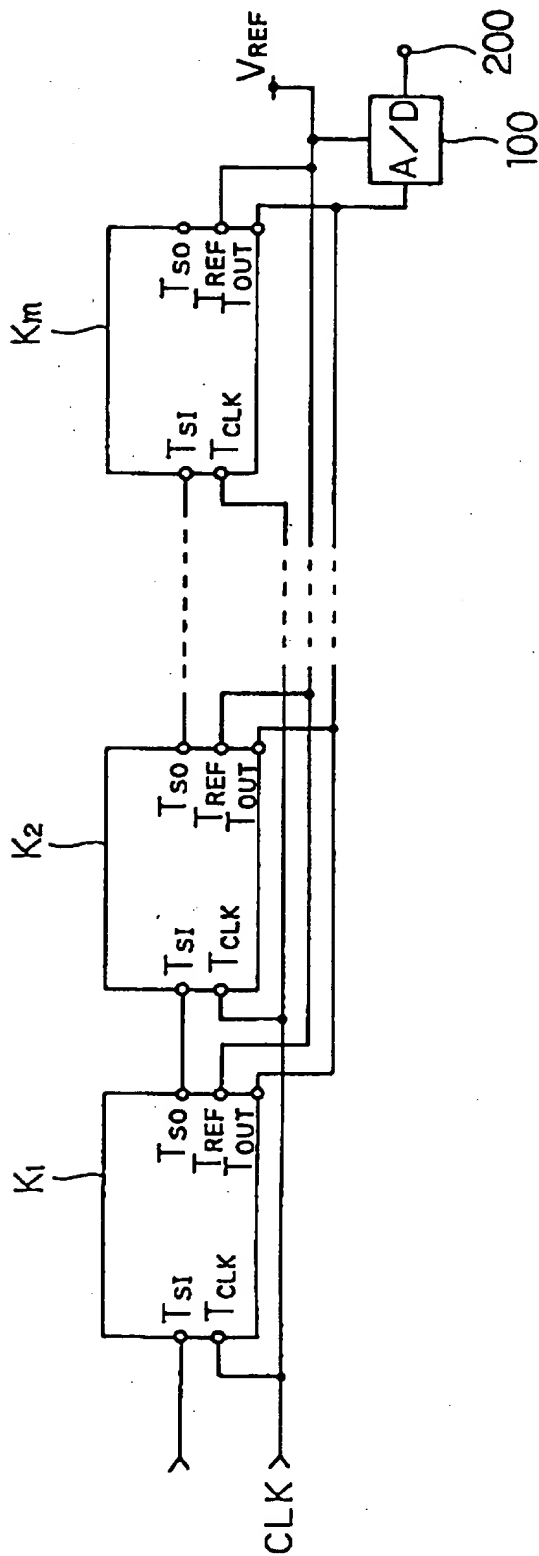
【図 6】



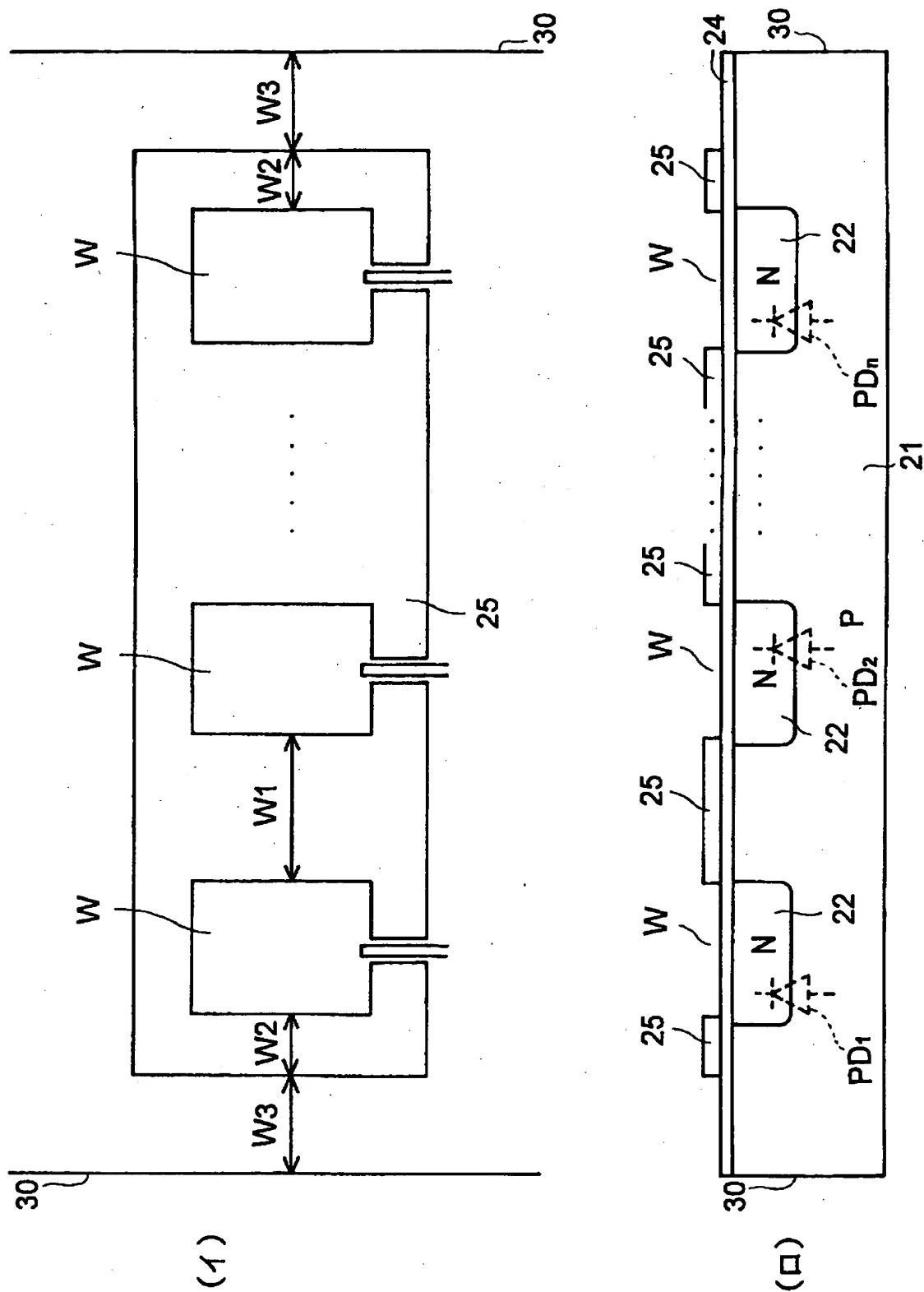
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 各光電変換素子の信号レベルのばらつきを低減させることができるようにした画像読み取り装置を提供する。

【解決手段】 画像読み取り装置を構成するチップに一系列に形成されたフォトダイオード PD_1 、 PD_2 、…、 PD_n 同士の間を遮光することになる配線 25 が形成される層の、両端の各フォトダイオード PD_1 、 PD_n のチップ端 30 側に、その端面がチップ端 30 と一致する配線 26 を配線 25 と一体的に形成する。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地

氏 名 ローム株式会社